

USP - ICMC - SSC
SSC 0610 - Eng. Comp. - 2o. Semestre 2010

Disciplina de Organização de Computadores I

Prof. Fernando Santos Osório

Email: fosorio [at] { icmc. usp. br , gmail. com }

Página Pessoal: <http://www.icmc.usp.br/~fosorio/>

Estagiário PAE Maurício Dias - Email: [maccddias \[at\] gmail.com](mailto:maccddias@gmail.com)

Material on-line Wiki ICMC - <http://wiki.icmc.usp.br/index.php/Ssc-610>

Aula 02q

Apresentação da Disciplina

Agenda:

- 1. Arquitetura de Von Neumann:**
Colocando o processador a funcionar
 - > UC**
 - > Registradores**
 - > ULA**
 - > Memória**
 - > E/S**
- 2. Arquitetura do NEANDER**

1. Arquitetura de Von Neumann

CPU – Processador

Componentes:

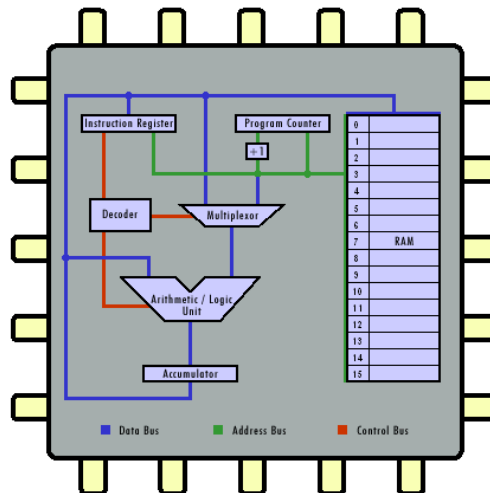
UC

ULA

Registadores

Memória

E/S



3

Agosto 2009

Fonte: <http://courses.cs.vt.edu/~csonline/MachineArchitecture/Lessons/CPU/index.html>

1. Arquitetura de Von Neumann

Unidade de Controle - UC

Operações da UC:

-Busca da Instrução: $IR \leq Mem(PC)$

Instruction Register recebe o conteúdo da memória apontado pelo PC (Fetch)

-Decodificação da Instrução: Load, Store, Add, Sub, Incr, Jump, ...

Conjunto de Instruções define as operações que o processador é capaz de executar

-Busca dos Operandos: $AC \leq Mem(++PC)$

Realiza a leitura dos demais campos (operandos) que compõem a instrução

- Execução:

Manipulação de dados para executar a instrução. Exemplo:

ADD R, A, B ; Soma Resultado R = A + B

ADD X ; Soma Resultado Acumulador = Acumulador + X

- Seqüenciamento do Programa: $PC++$

Prepara a busca da próxima Instrução

Banco de Registradores

PC: Program Counter

IR: Instruction Reg.

AC: Acumulador

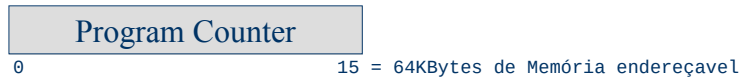
4

Agosto 2009

1. Arquitetura de Von Neumann

Unidade de Controle - UC

Sequenciamento das Instruções



Program Counter:

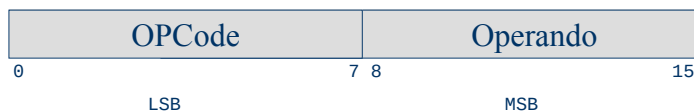
- Busca a Instrução
- Decodifica Instrução:
 - Incrementa Program Counter
 - Busca Operando
 - Incrementa, Busca, ...
- Executa a Instrução (armazena resultado)
 - Próxima Instrução
 - > Incrementa o Program Counter (PC++)
 - > Desvia para outro endereço de execução (PC = End. de Desvio)

1. Arquitetura de Von Neumann

Unidade de Controle - UC

CPU Instruction Set – Conjunto de Instruções

Código da Instrução (Operador) + Operando(s) / Dado



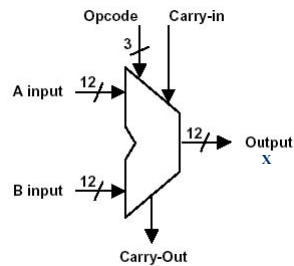
Exemplo: Instrução de 16 Bits

Modo de Operação e Endereçamento:

- Modo **IMEDIATO**: Load #01 Load #\$A0 Load #'X'
Carrega o valor fornecido
Operando da instrução é o próprio valor
- Modo **ABSOLUTO**: Load \$0001 Load \$A1B2 Load \$1234
Carrega o valor de um endereço da memória
Operando da instrução é o endereço do dado

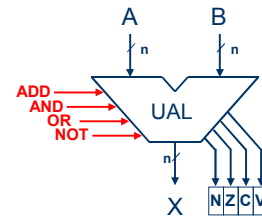
1. Arquitetura de Von Neumann

Unidade Lógico Aritmética - ULA



ALU OPCODEs:

- Add
- Subtract
- Multiply
- Divide
- Logical: AND, OR, NOT, XOR, SHIFT



ALU Inputs:

- > A (Accumulator), B: Data Input
- > OPCODE: Select Operation
- > Carry-In (vem-um)

ALU Outputs:

- > X (Accumulator): Data Output
- > Carry-Out (vai-um)
- > Outras informações de status:
Negativo/Sinal (N), Zero (Z), Carry (C),
Overflow (V), Underflow (U), Erros (E)

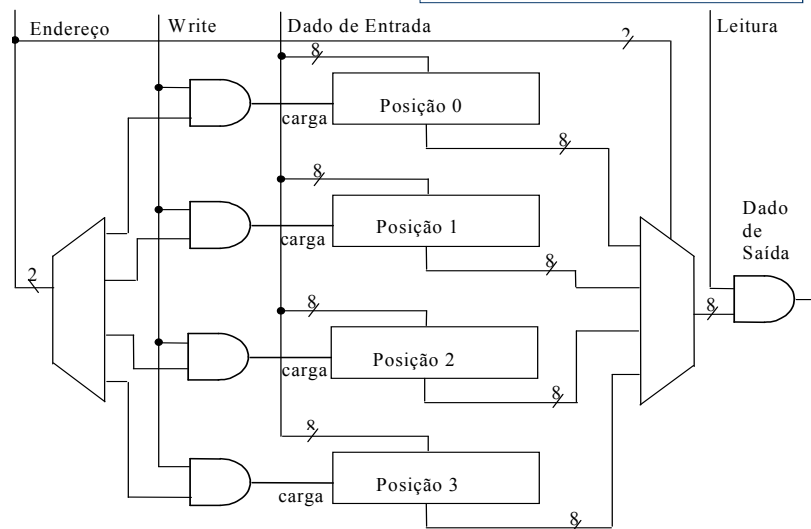
7

Agosto 2009

1. Arquitetura de Von Neumann

Unidade de Memória

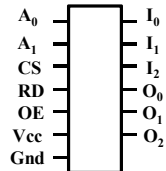
Memória com seleção linear



8

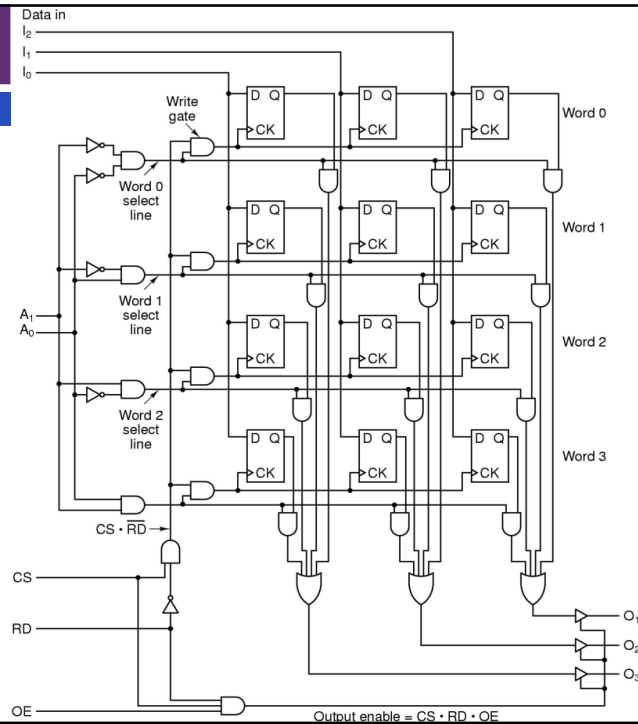
Agosto 2009

Memória



Memória 4 x 3:
4 Endereços de
3 bits cada

Endereços: $A_0 \dots A_1$
Dados (in): $I_0 \dots I_2$
Dados (out): $O_0 \dots O_2$
CS = Chip Select
RD = Read
OE = Output Enable



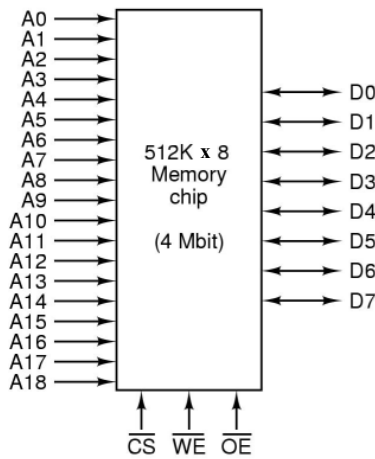
9

Agosto 2009

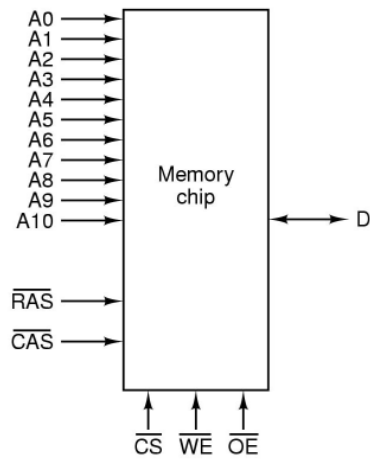
1. Arquitetura de Von Neumann

Unidade de Memória

Static and Dynamic RAM



(a)



(b)

10

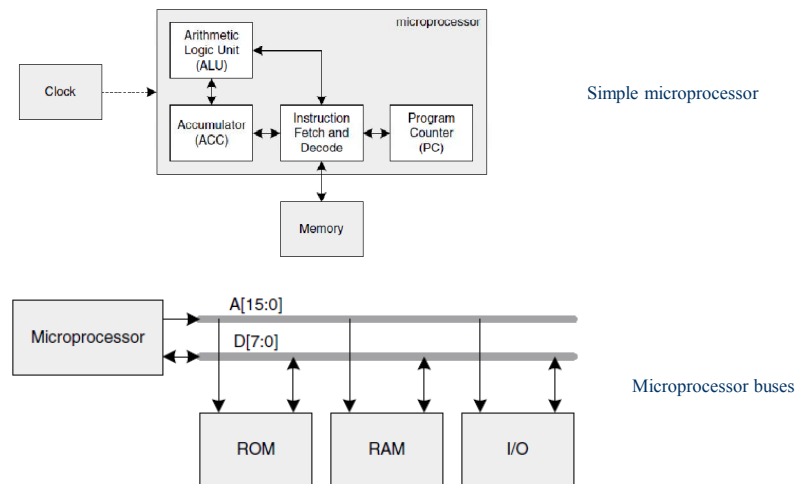
Agosto 2009

Fonte: http://www.carlosfelgueiras.hpg.com.br/Cursos/ArqComp/aula_5.html

1. Memória, Registradores e E/S

Memória, Registradores e E/S

Fonte: Mark Balch - Complete Digital Design



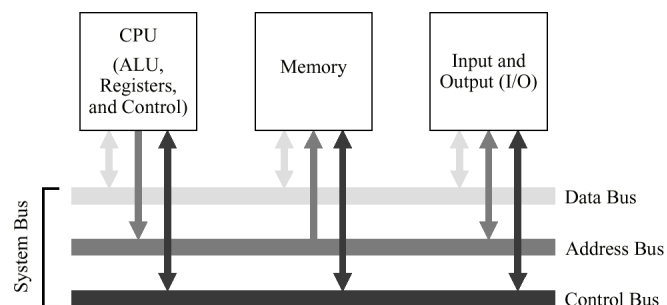
11

Agosto 2009

1. Arquitetura de Von Neumann

Arquitetura de Computadores:

Barramentos: Endereços, Dados e Controle



12

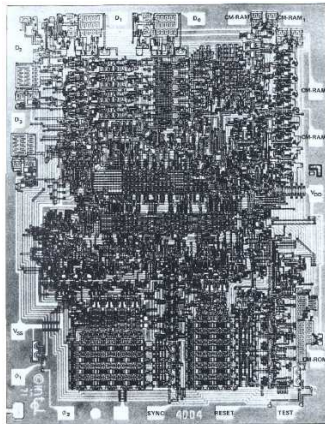
Agosto 2009

Fonte: <http://williamstallings.com/COA6e.html>

2. Arquitetura de Microprocessadores - Intel 4004

Intel 4004 (1971)

16-pin DIP package
P-channel Silicon Gate MOS
Minimum system: CPU and one ROM
4-bit parallel CPU with 45 instructions



- Microprogrammable General Purpose Computer Set
- 4-Bit Parallel CPU With 46 Instructions
- Instruction Set Includes Conditional Branching, Jump to Subroutine and Indirect Fetching
- Binary and Decimal Arithmetic Modes
- Addition of Two 8-Digit Numbers in 850 Microseconds
- 2-Phase Dynamic Operation
- 10.8 Microsecond Instruction Cycle
- CPU Directly Compatible With MCS-4 ROMs and RAMs
- Easy Expansion — One CPU can Directly Drive up to 32,768 Bits of ROM and up to 5120 Bits of RAM
- Unlimited Number of Output Lines
- Packaged in 16-Pin Dual In-Line Configuration

MCS-4

FOUR-BIT PARALLEL MICROCOMPUTER SET

Features

- Directly Compatible With 4004 CPU
- Interface 1702A PROMs Directly to 4004 CPU -- Completely Eliminates TTL Interface
- Permits Program Storage in Alterable Memory
- Execute MCS-4 Programs from any Mix of Standard Intel PROMs, ROMs and RAMs
- Expanded I/O Port Capability
- Each Port May be Both Input and Output -- Up to 16 4-bit Input Ports and 16 4-bit Output Ports
- I/O Ports and Control Lines are TTL Compatible
- Number of I/O Ports is Independent of the Size of the Program Memory
- New Instruction WPM (Write Program Memory) is Used for Loading Alterable Program Storage (RAM)

13

Agosto 2009

2. Arquitetura de Microprocessadores - Intel 4004

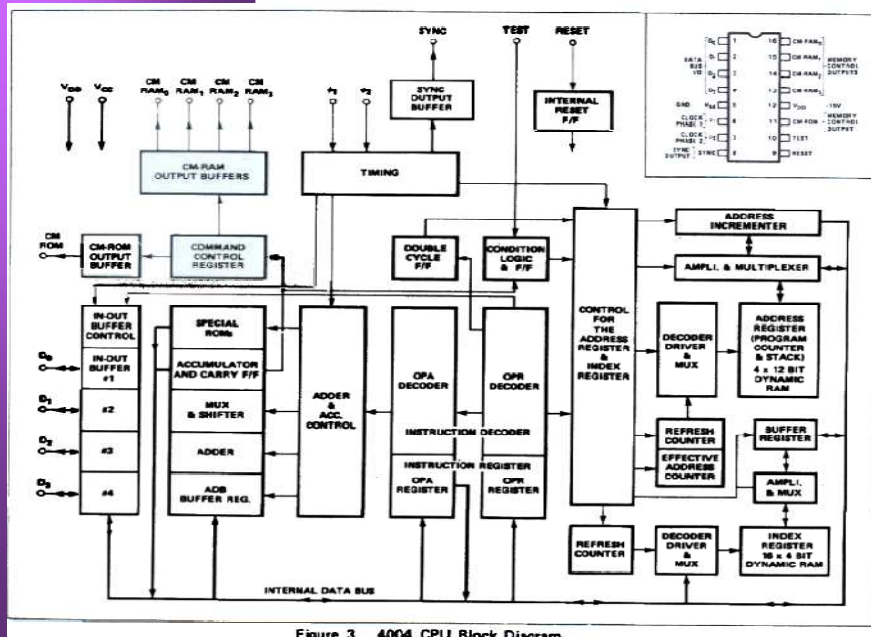
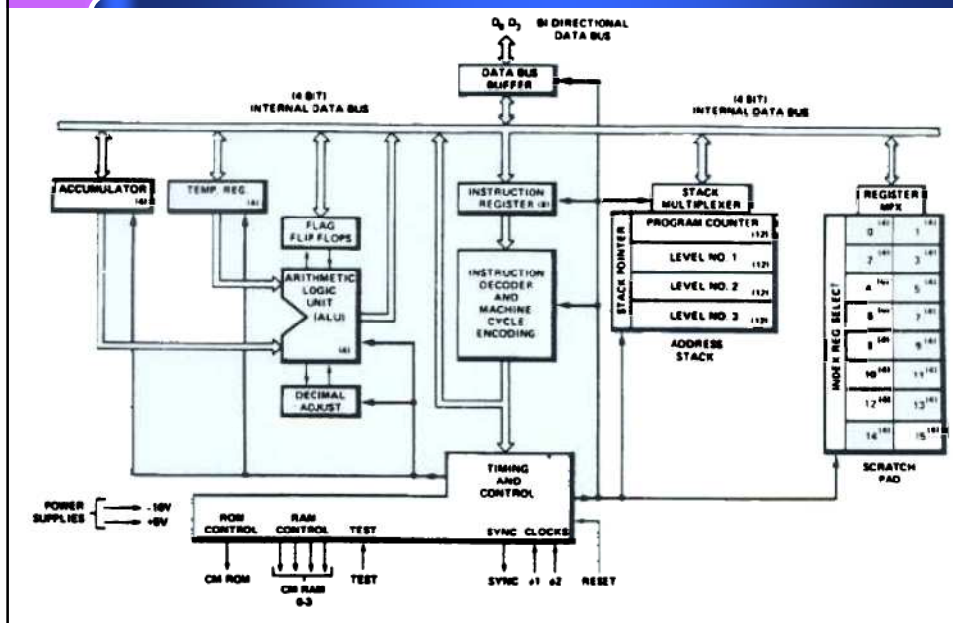


Figure 3. 4004 CPU Block Diagram

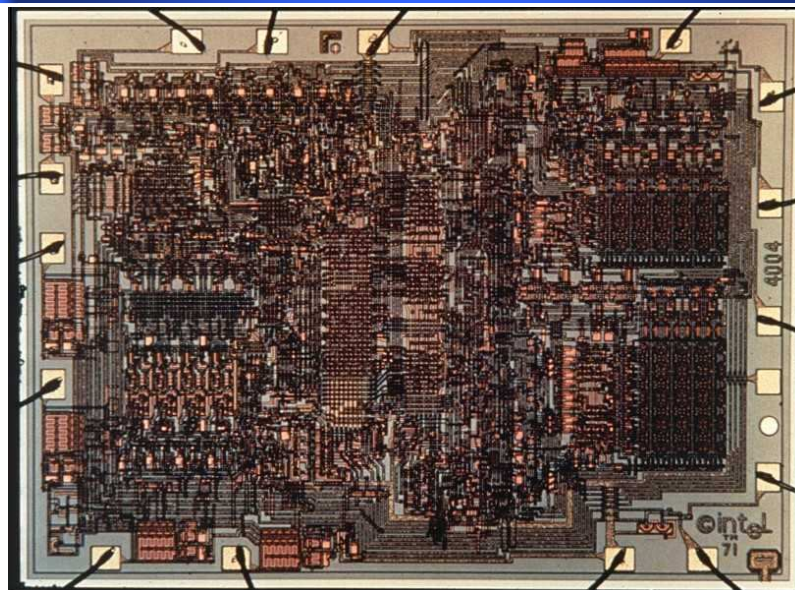
14

Agosto 2009

2. Arquitetura de Microprocessadores - Intel 4004



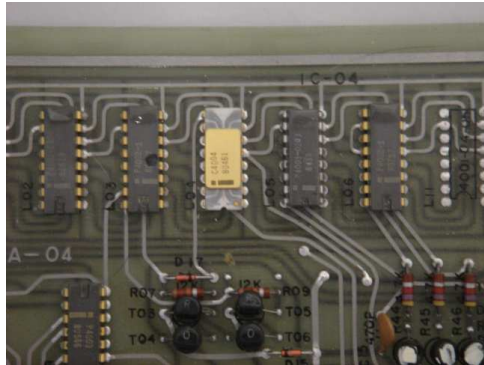
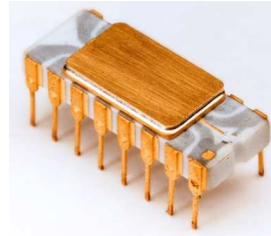
2. Arquitetura de Microprocessadores - Intel 4004



2. Arquitetura de Microprocessadores - Intel 4004

Intel 4004

Busicom - Nippon Calculating Machine Corp changed its name to Business Computer Corporation, was a Japanese company that owned the rights to the first microprocessor but sold them back to Intel. They made electronic calculators and the first using the new Intel 4004 processor was the Busicom 141-PF[1]

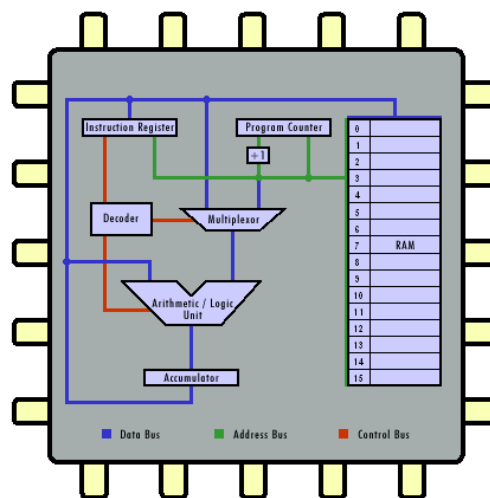


17

Agosto 2009

1. Arquitetura de Von Neumann

Unidade de Controle - UC



Elementos importantes:

PC - Program Counter
AC - Accumulator
IR - Instruction Register

Address Bus: n bits
Data Bus : m bits

Flags da ULA (S - Status)
Z - Zero C - Carry
N - Negative V - Overflow

Memória: RAM / ROM
System/User Program, Data,
Stack (Pilha), I/O, Interrupts

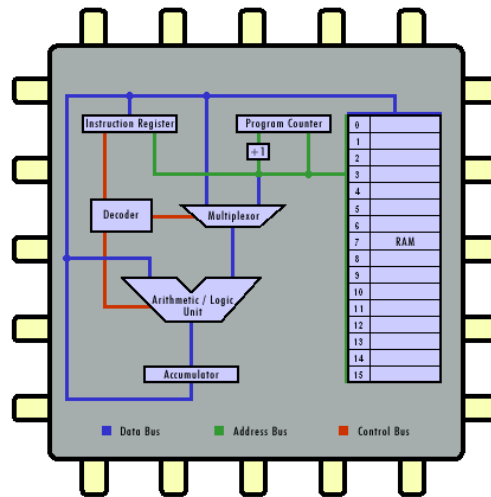
18

Agosto 2009

Fonte: <http://courses.cs.vt.edu/~csonline/MachineArchitecture/Lessons/CPU/index.html>

1. Arquitetura de Von Neumann

Unidade de Controle - UC



µProc - Elementos

PC - Program Counter
AC - Accumulator
IR - Instruction Register
SP - Stack Pointer
IX - Index Register
BR - Base Registers

Address Bus: n bits
Data Bus: m bits

Flags da ULA (S - Status)
Z - Zero C - Carry
N - Negative V - Overflow
P - Parity I - Interrupt

19

Agosto 2009

Fonte: <http://courses.cs.vt.edu/~csonline/MachineArchitecture/Lessons/CPU/index.html>

2. Arquiteturas Didáticas

Neander - Computador Hipotético [Weber 2001*]

Arquitetura: características gerais

- Largura de dados e endereços de 8 bits (bus)
- Dados representados em complemento de 2
- Acumulador de 8 bits (AC - Accumulator)
- Apontador de programa de 8 bits (PC - Program Counter)
- Registrador de Instruções de 8 bits (IR - Instruction Reg.)
- Registrador de estado (flags) com 2 códigos de condição: Negativo (N) e Zero (Z)
- Endereçamento de memória total de 256 bytes

20

Agosto 2009

* <ftp://ftp.inf.ufgrs.br/pub/inf107/>

2. Arquiteturas Didáticas

Neander => Simulador WNeander

Neander Versão 2.1
Autor: Paul Fernando Weber
Faz 24/06/2002
Versão: Paulo Augusto Dal Castel
WNeander

Programa

P	End.	Dado	Mnemônico
0	0	0	NOP
1	0	0	NOP
2	0	0	NOP
3	0	0	NOP
4	0	0	NOP
5	0	0	NOP
6	0	0	NOP
7	0	0	NOP
8	0	0	NOP
9	0	0	NOP
10	0	0	NOP
11	0	0	NOP
12	0	0	NOP
13	0	0	NOP
14	0	0	NOP
15	0	0	NOP
16	0	0	NOP

Neander

Arquivo Editar Visualizar Executar ?

AC: 0000 PC: 0000

Execução: 000000

Acessos: 000000

Instruções: 000000

Instrução: 0

Reg.Instrução: 0

Mnemônico: NOP

Ok.

Mnemônicos

NOP 00	ADD 48 end	JMP 128 end
STA 16 end	OR 64 end	JN 144 end
LDA 32 end	AND 80 end	JZ 160 end
	NOT 96	HLT 240

Dados

End.	Dado
0	0
1	0
2	0
3	0
4	0
5	0
6	0
7	0
8	0
9	0
10	0
11	0
12	0
13	0
14	0
15	0
16	0

BP: 255 [0]: 0

[128]: 0

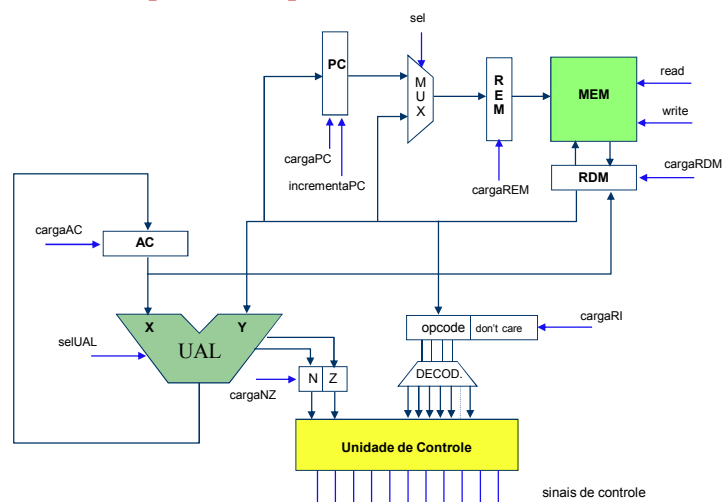
Simuladores Didáticos
ftp://ftp.inf.ufrgs.br/pub/inf107/
ftp://ftp.inf.ufrgs.br/pub/inf108/

21

Agosto 2009

2. Arquiteturas Didáticas

Neander - Computador Hipotético [Weber 2001*]



22

Agosto 2009

* ftp://ftp.inf.ufrgs.br/pub/inf107

Versão Web: http://inf.ufrgs.br/~vbuaraujo/sw/neander/

2. Arquiteturas Didáticas

Neander => Simulador WNeander

Simuladores Didáticos
<ftp://ftp.inf.ufrgs.br/pub/inf107/>
<ftp://ftp.inf.ufrgs.br/pub/inf108/>

23

Agosto 2009

2. Arquiteturas Didáticas

Evolução do Neander... Ahmes, Ramses, Cesar

Quadro comparativo

Arquitetura	Endereços	Dados	Nro. Instruções	Registradores
NEANDER	8 bits 256 bytes	8 bits Compl.2	11 instruções (OpCode: 4bits)	AC, PC, IR, Flags (N,Z) REM, RDM
AHMES	8 bits	8 bits	24 instruções (Neander ext.)	PC, IR, REM, RDM Flags (N, Z, C, B, V)
RAMSES	8 bits	8 bits	Modos de End. 4 modos x 16 instr.	PC, IR, RA, RB, RX Flags (N, Z, V, C)
CESAR	16 bits 64 Kbytes	16 bits	Inúmeras	R0 a R6 (uso geral) R7 (PC)

Simuladores Didáticos

<ftp://ftp.inf.ufrgs.br/pub/inf107/>

<ftp://ftp.inf.ufrgs.br/pub/inf108/>

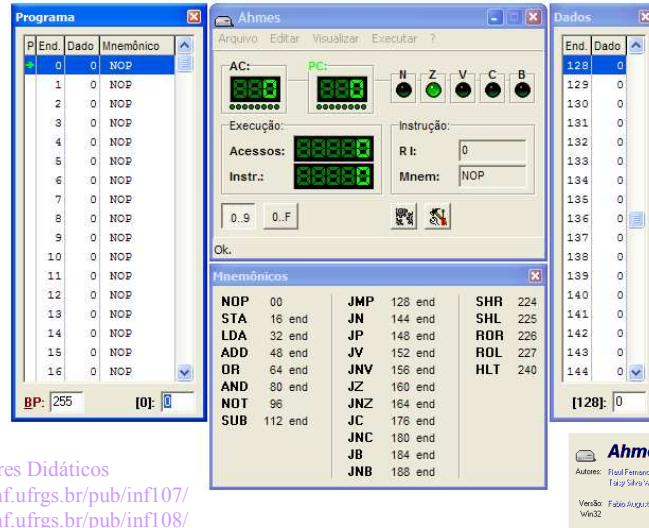
http://pt.wikipedia.org/wiki/Máquinas_hipotéticas_da_Universidade_Federal_do_Rio_Grande_do_Sul

24

Agosto 2009

2. Arquiteturas Didáticas

Evolução do Neander... Ahmes, Ramses, Cesar



Simuladores Didáticos

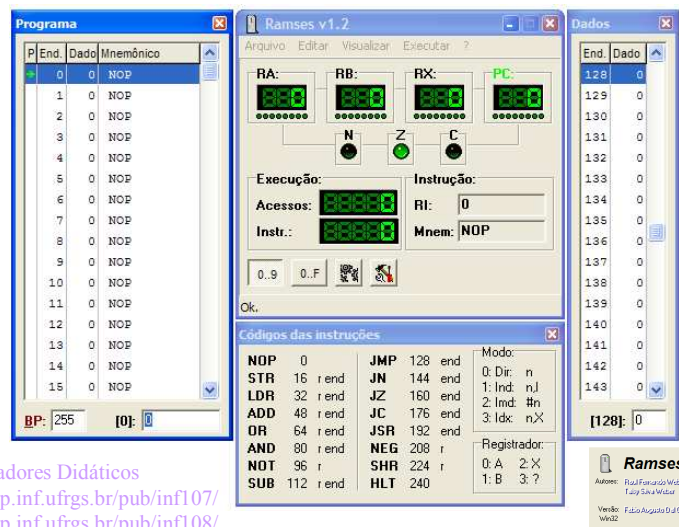
<ftp://ftp.inf.ufgrs.br/pub/inf107/>
<ftp://ftp.inf.ufgrs.br/pub/inf108/>

25

Agosto 2009

2. Arquiteturas Didáticas

Evolução do Neander... Ahmes, Ramses, Cesar



Simuladores Didáticos

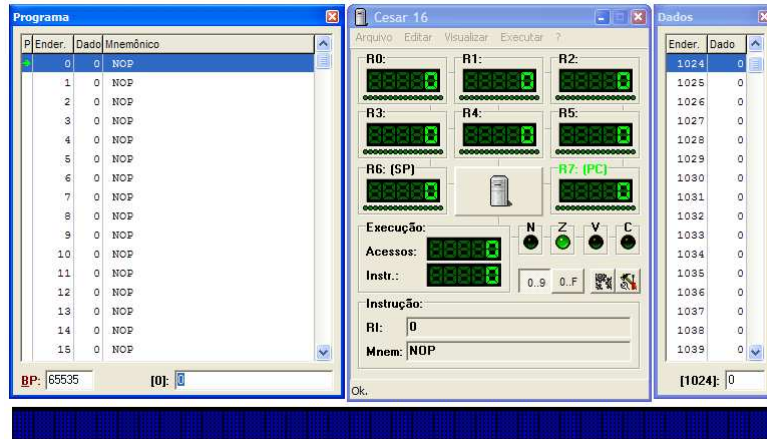
<ftp://ftp.inf.ufgrs.br/pub/inf107/>
<ftp://ftp.inf.ufgrs.br/pub/inf108/>

26

Agosto 2009

2. Arquiteturas Didáticas

Evolução do Neander... Ahmes, Ramses, Cesar



Simuladores Didáticos

<ftp://ftp.inf.ufrgs.br/pub/inf107/>

<ftp://ftp.inf.ufrgs.br/pub/inf108/>

27

Agosto 2009

Cesar 16 Versão 1.1.0
Outubro 2005
Autores: Raul Fernando Weber
Tatay Silva Weber
Versões: Fabio Augusto Dal Castel
Wry32: Carlos Arthur Lang Lobato

2. Arquiteturas Didáticas

Evolução do Neander... Ahmes, Ramses, Cesar

Quadro comparativo

Arquitetura	Endereços	Dados	Nro. Instruções	Registradores
NEANDER	8 bits 256 bytes	8 bits Comp1.2	11 instruções (OpCode: 4bits)	AC, PC, IR, Flags (N,Z) REM, RDM
AHMES	8 bits	8 bits	24 instruções (Neander ext.)	PC, IR, REM, RDM Flags (N, Z, C, B, V)
RAMSES	8 bits	8 bits	Modos de End. 4 modos x 16 instr.	PC, IR, RA, RB, RX Flags (N, Z, V, C)
CESAR	16 bits 64 Kbytes	16 bits	Inúmeras	R0 a R6 (uso geral) R7 (PC)

Simuladores Didáticos

<ftp://ftp.inf.ufrgs.br/pub/inf107/>

<ftp://ftp.inf.ufrgs.br/pub/inf108/>

http://pt.wikipedia.org/wiki/Máquinas_hipotéticas_da_Universidade_Federal_do_Rio_Grande_do_Sul

28

Agosto 2009



INFORMAÇÕES SOBRE A DISCIPLINA

USP - Universidade de São Paulo - São Carlos, SP
ICMC - Instituto de Ciências Matemáticas e de Computação
SSC - Departamento de Sistemas de Computação

Prof. Fernando Santos OSÓRIO

Web institucional: <http://www.icmc.usp.br/ssc/>

Página pessoal: <http://www.icmc.usp.br/~fosorio/>

E-mail: fosorio [at] icmc. usp. br ou fosorio [at] gmail. com

Disciplina de Organização de Computadores I / Eng. Comp.

Estagiário PAE: Maurício A. Dias

Web disciplina: <http://wiki.icmc.usp.br/index.php/Ssc-610>

> Programa, Material de Aulas, Critérios de Avaliação,

> Lista de Exercícios, Trabalhos Práticos, Datas das Provas